



Avaliação de Desempenho do Montador DALIGNER em Arquiteturas Manycore

Evaldo B. Costa, Gabriel P. Silva e Marcello G. Teixeira

Departamento de Ciência da Computação, UFRJ

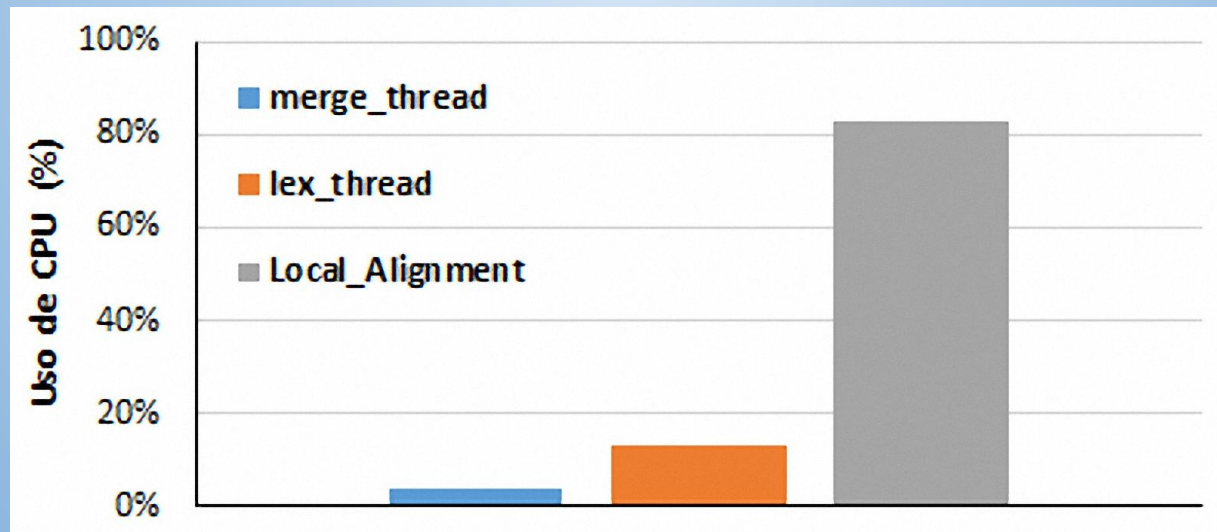
Rio de Janeiro, Brasil

DALIGNER

- ★ O montador DALIGNER de sequências de leituras longas encontra sobreposições e alinhamentos locais nos conjuntos de dados sequenciados de maneira rápida e eficiente [Myers 2014].
- ★ O DALIGNER foi o primeiro programa projetado para o alinhamento de leitura de sequências longas do sequenciador Pacbio.
- ★ Possui código aberto, com uso de paralelismo ao nível de threads, particularmente nas etapas de ordenação de k-mers e de alinhamento local.

DALIGNER

- ★ Por conta da baixa contenção no acesso aos dados compartilhados e do alto percentual de código paralelizável, que indicam grande potencial de escalabilidade, foi escolhido como objeto de estudo.



Utilização de CPU pelas funções do DALIGNER

Ambiente de Testes

- Servidor Intel Xeon E5-2680, 128 GB de memória, disco SSD 480GB. GNU/Linux CentOS de 64 bits versão 7.2 (**XEON**)
- Servidor Intel Xeon Phi 7210, 96 GB de memória, disco SSD 480GB. GNU/Linux CentOS de 64 bits versão 7.2 (**PHI**)
- Arquivo de dados: E. Coli str. K-12 substr. MG1655, composto por arquivos fastq com o tamanho total de 700 GB

Características XEON

- Relógio 2,7 GHz
- 8 núcleos (16 threads)
- Cache Nível 1 - 8 x 32 KB (Assoc. 8) (Instr.)
- 8 x 32 KB (Assoc. 8) (Dados)
- Cache Nível 2 - 8 x 256 KB (Assoc. 8)
- Cache Nível 3 - 20 MB (Assoc. 20)
- 4 canais para acesso à memória
- Barramento de memória de 4 GHz
- Instruções vetoriais AVX
- TDP 130 W

Características PHI

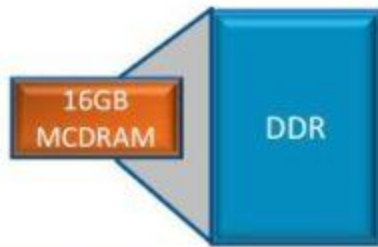
- Arquitetura KNL
- Relógio 1,3 GHz
- 64 núcleos (256 threads)
- 2 VPU's (instruções vetoriais)
 - Compilar com `-xMIC-AVX512` para usar as duas
- Cache Nível 1 - 64 x 32 KB (Assoc. 8) (Instr.)
 - 64 x 32 KB (Assoc. 8) (Dados)
- Cache Nível 2 - 32 x 1 MB (Assoc. 16) (Comp.)
- Memória HBM - 16 GB (450 GB/s) (Cache L3)
- Memória Externa até 384 GB (90 GB/s)
- Desempenho máximo 2,66 TFlops (Prec. Dupla)
- TDP 215 W

Características PHI

Memory Modes

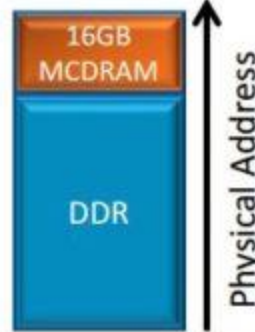
Three Modes. Selected at boot

Cache Mode



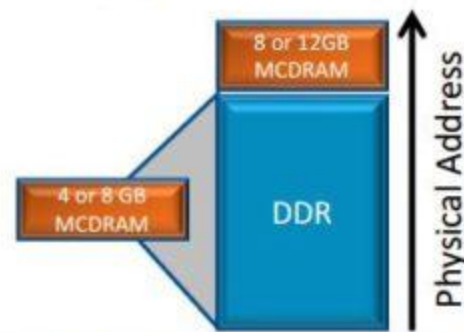
- SW-Transparent, Mem-side cache
- Direct mapped. 64B lines.
- Tags part of line
- Covers whole DDR range

Flat Mode



- MCDRAM as regular memory
- SW-Managed
- Same address space

Hybrid Mode



- Part cache, Part memory
- 25% or 50% cache
- Benefits of both

Arquitetura de memória

Parâmetros de testes

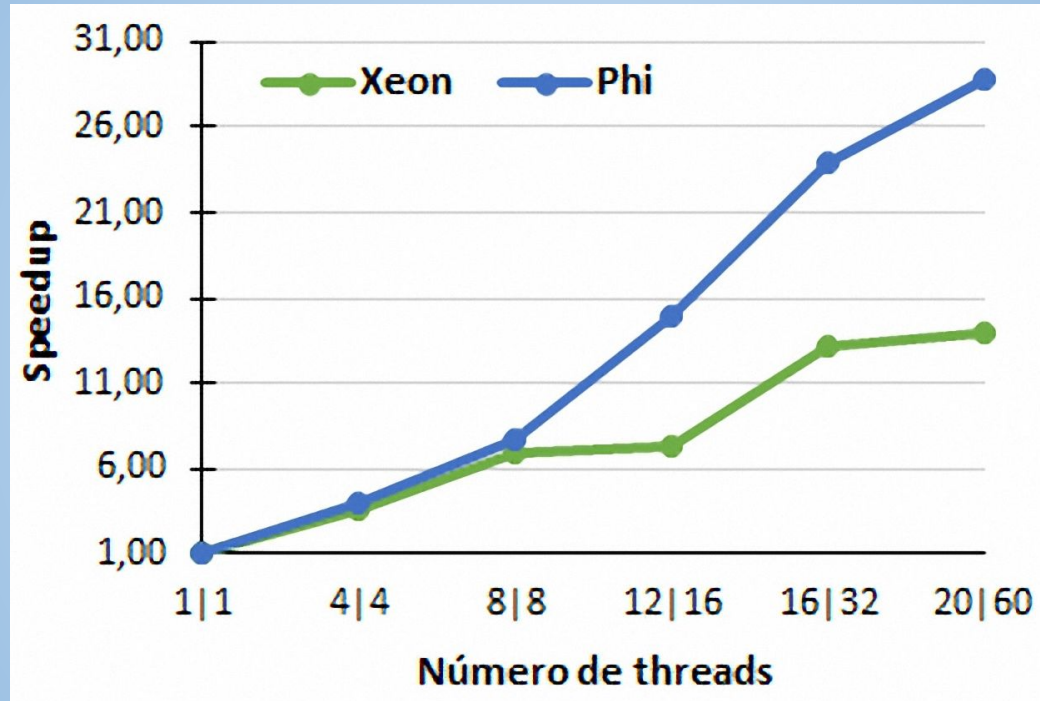
- Compiladores:
 - GNU GCC versão 5.4.0
 - Compilador Intel versão 17.0.4
- DALIGNER
 - -M (memória utilizada)
 - -T (número de threads)
- Intel Phi
 - Cluster Mode: All2All
 - Memory Mode: Flat

Parâmetros de testes

DALIGNER cria vários arquivos de banco de dados com informações para alinhamento da sequência:

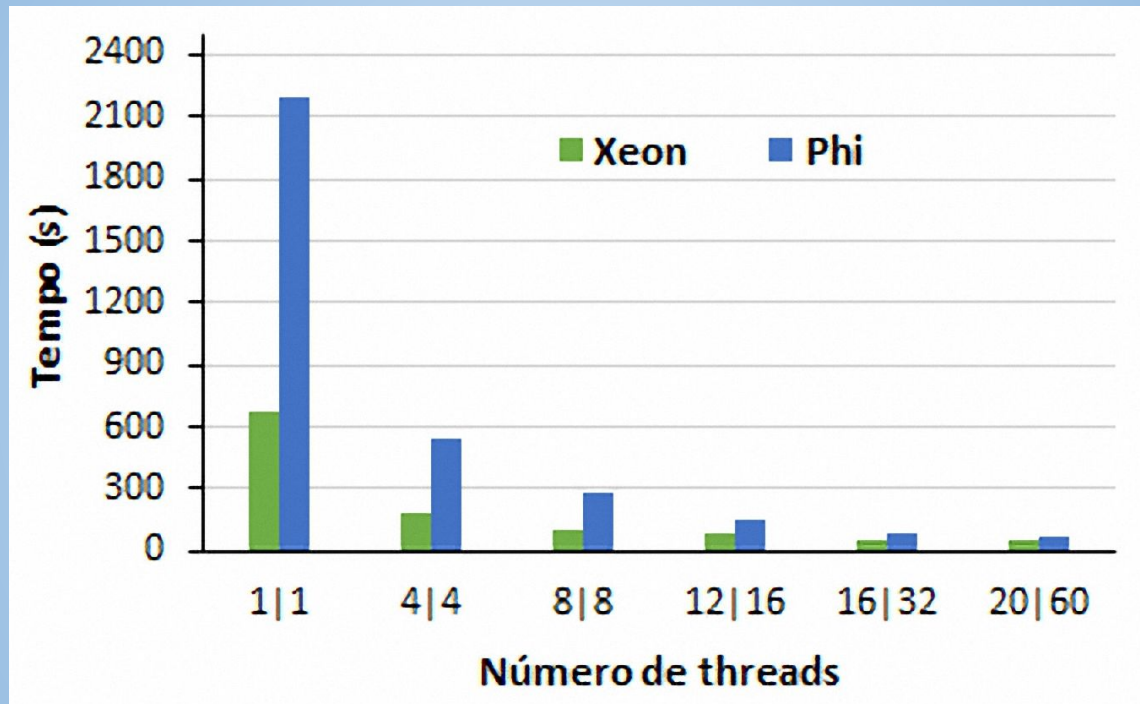
- files = 3
 - m141013_011508_s1_p0.1
 - m141013_011508_s1_p0.2
 - m141013_011508_s1_p0.3
- blocks = 4
- size = 200000000 (95 GB)
- cutoff = 0
- all = 0

Speedup



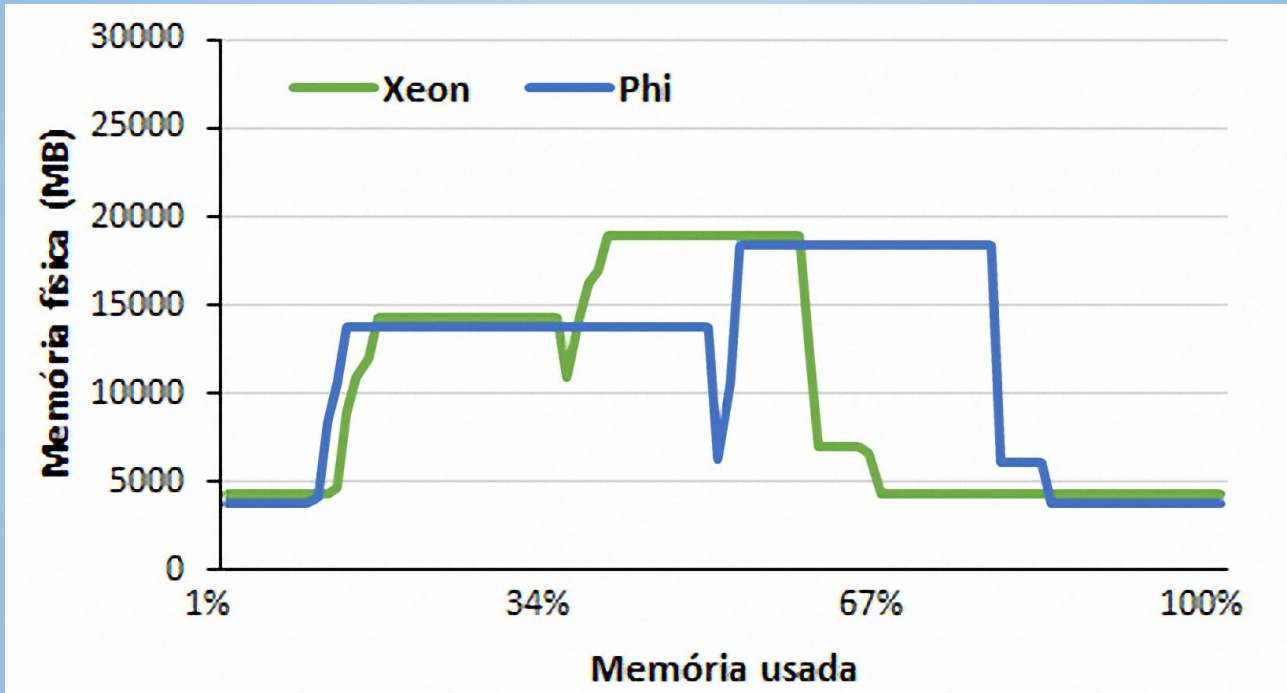
Speedup Sistema XEON e Sistema PHI

Tempo



Tempo de execução Sistema XEON e Sistema PHI

Memória



Uso de memória no Sistema XEON e Sistema PHI

Conclusões

- Em termos de tempo de processamento o Sistema XEON tem melhor desempenho sobre o Sistema PHI
- O perfil de uso de memória foi semelhante em ambos os sistemas por conta do parâmetro de execução -M96
- Apesar do Sistema XEON ter um tempo total menor, O Sistema Phi possui maior potencial de escalabilidade
- O Sistema PHI obteve melhor relação de desempenho em termos de speedup e eficiência

Trabalhos Futuros

- Investigar as opções de compilação com uso de instruções vetoriais (-xMIC-AVX512)
- Investigar o comportamento com configuração da memória HBM (high-bandwidth memory) em modo cache e híbrido
- Investigar as opções de configuração da matriz de núcleos nos modos Quadrant e NUMA
- Investigar o desempenho e qualidade em função do tamanho dos k-mers
- Modificar o código do DALIGNER, particularmente na rotina de alinhamento local Local_Alignment, de modo a acrescentar diretivas específicas para o acelerador Xeon Phi

OBRIGADO !

Evaldo B. Costa
evaldo.costa@ppgi.ufrj.br

Gabriel P. Silva
gabriel@dcc.ufrj.br

Marcello G. Teixeira
marcellogt@dcc.ufrj.br